



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Intellectual
Property Office.

출원번호 : 10-2003-0043392
Application Number

출원년월일 : 2003년 06월 30일
Date of Application JUN 30, 2003

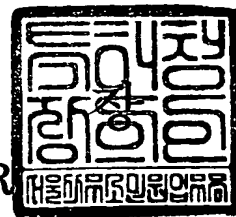
출원인 : 주식회사 하이닉스반도체
Applicant(s) Hynix Semiconductor Inc.



2003 년 10 월 06 일

특 허 청

COMMISSIONER



【서지사항】

【서류명】 특허출원서
【권리구분】 특허
【수신처】 특허청장
【참조번호】 0005
【제출일자】 2003.06.30
【발명의 명칭】 오프칩 드라이버 회로 및 이를 이용한 데이터 출력 회로
【발명의 영문명칭】 Off chip driver and data output circiut using the same
【출원인】
【명칭】 (주)하이닉스 반도체
【출원인코드】 1-1998-004569-8
【대리인】
【성명】 신영무
【대리인코드】 9-1998-000265-6
【포괄위임등록번호】 1999-003525-1
【발명자】
【성명의 국문표기】 송호욱
【성명의 영문표기】 SONG, Ho Uk
【주민등록번호】 690526-1109115
【우편번호】 467-866
【주소】 경기도 이천시 부발읍 아미리 현대3차아파트 302-208
【국적】 KR
【심사청구】 청구
【취지】 특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인 신영무 (인)
【수수료】
【기본출원료】 20 면 29,000 원
【가산출원료】 3 면 3,000 원
【우선권주장료】 0 건 0 원
【심사청구료】 9 항 397,000 원
【합계】 429,000 원
【첨부서류】 1. 요약서·명세서(도면)_1통

【요약서】**【요약】**

본 발명은 데이터 신호 및 제어신호를 입력받아, 해당 제어신호에 따라서 출력 여부를 결정하는 오프칩 드라이버들을 구비하는 오프칩 드라이버 회로에 있어서, 오프칩 드라이버들 중 적어도 1개의 오프칩 드라이버는 다른 오프칩 드라이버(들)의 출력 신호에 비하여 소정의 지연 시간을 갖는 신호를 출력할 수 있도록 하는 지연 회로(들)를 구비하는 오프칩 드라이버 회로 및 이를 이용한 데이터 출력회로를 제공한다. 본 발명에 의하면, 출력 파형이 적절한 슬루를 가질 수 있어 시스템 인터페이스의 특성을 향상시킬 수 있다.

【대표도】

도 2

【색인어】

오프칩 드라이버, 슬루, 데이터 출력 회로

【명세서】**【발명의 명칭】**

오프칩 드라이버 회로 및 이를 이용한 데이터 출력 회로{Off chip driver and data output circiut using the same}

【도면의 간단한 설명】

도 1은 종래 기술에 의한 오프칩 드라이버 회로를 포함한 데이터 출력 회로의 개략적인 블럭도이다.

도 2는 본 발명의 일실시예에 따른 오프칩 드라이버 회로를 포함한 데이터 출력 회로의 개략적인 블럭도이다.

도 3은 본 발명의 일실시예에 따른 데이터 출력회로에서 논리 하이 데이터 신호가 인가 되는 경우 동작하는 오프칩 드라이버 회로의 구성예이다.

도 4는 본 발명의 일실시예에 따른 데이터 출력회로에서 논리 로우 데이터 신호가 인가 되는 경우 동작하는 오프칩 드라이버 회로의 구성예이다.

도 5는 본 발명의 일실시예에 따른 오프칩 드라이버 회로에 적용되는 지연 회로의 구성예이다.

도 6은 본 발명의 일실시예에 따른 데이터 출력회로에서 프리 드라이버 회로의 구성예이다.

도 7은 본 발명의 일실시예에 따른 오프칩 드라이버로부터 출력되는 신호가 소정의 지연시간을 가지는 것을 도시한 개념도이다.

도 8은 본 발명의 실시예에 따른 오프칩 드라이버를 적용한 경우, 출력 드라이버 회로를 통해서 출력되는 신호의 파형과 종래 기술에 의한 파형을 비교하여 도시한 그래프이다.

*도면의 주요부분에 대한 설명

1, 10 : 데이터 출력 회로 100 : 오프칩 드라이버 회로
200 : 프리 드라이버 회로 300 ; 출력 드라이버 회로

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

- <12> 본 발명은 반도체 장치에 관한 것으로서, 특히 오프칩 드라이버 (Off Chip Driver) 회로 및 이를 이용한 출력 회로에 관한 것이다.
- <13> 메모리 칩과 같은 집적회로(ICs)의 설계에서, 오프칩 드라이버는 데이터 정보를 메모리 칩으로부터 외부 환경으로 전달하기 위해 채용되고, 일반적으로 칩의 내부 데이터 신호를 가능한 고속으로 외부 시스템 환경에 전달하는 기능을 수행한다.
- <14> 이하, 도 1을 참조하여 종래 기술에 의한 오프칩 드라이버 회로를 포함한 데이터 출력 회로를 설명한다. 도 1은 종래 기술에 의한 오프칩 드라이버 회로를 포함한 데이터 출력 회로(10)의 개략적인 블록도이다.
- <15> 오프칩 드라이버 회로(100)는 오프칩 드라이버들(100-1 내지 100-N)을 구비

하고, 오프칩 드라이버들(100-1 내지 100-N) 각각은 동일한 데이터 신호를 하나의 입력으로 하고 각기 대응되는 제 1 내지 N 제어신호(N은 2이상의 자연수임)를 다른 하나의 입력으로 하여 구성된다. 오프칩 드라이버들(100-1 내지 100-N) 각각은 수행된 공정 조건에 따라서 소자의 성능면에서 발생 가능한 차이를 반영하는 기능을 수행한다. 각 오프칩 드라이버는 출력 드라이버 회로(300) 내부의 각 출력 드라이버들과 서로 대응되게 연결되어 해당 오프칩 드라이버가 OFF 되는경우는 이와 연결된 출력 드라이버가 OFF 되고, 해당 오프칩 드라이버가 ON 되는 경우는 이와 연결된 출력 드라이버가 ON 된다.

<16> 그러나, 특히 고주파 상태에서 동작하는 경우, 오프칩 드라이버 회로로부터 출력된 데이터 신호들이 동일한 시간에서 한꺼번에 ON/OFF 됨에 따라 출력 드라이버 회로(300)의 출력(Dout) 파형이 적절한 슬류(slew)를 가지게 구성하는 것이 기술적으로 용이하지 않다. 예를 들어, 초고속 동작을 구현하기 위한 DDR(Double Data Rate)등의 제품에서는 출력 파형의 슬류가 커질 수 있고, 이에 따라서 오버슈터가 발생할 수 있다. 이는 시스템 인터페이스의 특성을 현저히 저하시키는 요인이 된다.

【발명이 이루고자 하는 기술적 과제】

<17> 따라서, 본 발명은 상술한 문제점을 해결하기 위해 안출된 것으로, 본 발명의 목적은 출력 파형이 적절한 슬류를 가질 수 있도록 하는 것이다.

<18> 본 발명의 다른 목적은 각 오프칩 드라이버의 ON/OFF 시점을 적절한 시간 간격으로 분산시킬 수 있는 오프칩 드라이버 회로를 제공하는 것이다.

<19> 본 발명의 또다른 목적은 시스템 인터페이스의 특성 향상에 기여하는 오프칩 드라이버 회로 및 이를 이용한 데이터 출력 회로를 제공하는 것이다.

【발명의 구성 및 작용】

- <20> 상술한 문제점을 해결하기 위한 기술적 수단으로서, 본 발명의 일측면은 데이터 신호와 제 1 내지 N 제어신호를 각각 입력받아, 해당 제어신호에 따라서 출력 여부를 결정하는 제 1 내지 N 오프칩 드라이버들을 구비하는 오프칩 드라이버 회로에 있어서, 제 1 내지 N 오프칩 드라이버들 중 적어도 1개의 오프칩 드라이버는 다른 오프칩 드라이버(들)의 출력 신호에 비하여 소정의 지연시간을 갖는 신호를 출력할 수 있도록 지연 회로(들)를 구비하는 오프칩 드라이버 회로를 제공한다.
- <21> 한편, 지연 회로는 상기 오프칩 드라이버의 입력단 또는 출력단에 부가가능하며, 오프칩 드라이버 각각은 상기 입력되는 데이터 신호의 논리 상태가 논리 하이인 경우 해당 제어신호와 상기 데이터 신호를 NAND연산하고, 논리 레벨이 논리 로우인 경우 해당 제어신호의 반전신호와 상기 데이터 신호를 NOR연산하도록 구성할 수 있다.
- <22> 한편, 출력 드라이버 회로는 상기 오프칩 드라이버들 각각에 대응하는 출력드라이버들을 포함하여 구성되되, 특정 오프칩 드라이버의 제어신호가 인에이블 레벨인 경우 이에 대응되는 오프칩 드라이버에 연결된 출력 드라이버가 구동된다.
- <23> 본 발명의 다른 측면은 데이터신호와 제 1 내지 N 제어신호를 각각 입력받아, 해당 제어신호에 따라서 출력 여부를 결정하는 제 1 내지 N 오프칩 드라이버들을 구비하는 오프칩 드라이버 회로와, 데이터 신호를 입력 받아 출력 드라이버 회로를 구동시키기 위한 프리 드라이버 회로와, 오프칩 드라이버 회로와 프리 드라이버 회로의 출력에 연결되는 출력 드라이버 회로를 포함하여 구성되되, 제 1 내지 N의 오프칩 드라이버들 중 적어도 1개의 오프칩 드라이버는 다른 오프칩 드라이버(들)의 출력 신호에 비하여 소정의 지연 시간을 갖는 신호를 출력할 수 있도록 지연 회로를 구비하는 데이터 출력 회로를 제공한다.

- <24> 프리 드라이버 회로는 상기 데이터 신호를 입력받아 그 신호의 논리레벨에 따라 풀업 또는 풀다운하도록 구성할 수 있으며, 출력 드라이버 회로는 상기 오프칩 드라이버들 각각과 상기 프리 드라이버 회로에 대응하는 출력 드라이버들을 포함하여 구성되되, 특정 오프칩 드라이버의 제어신호가 인에이블 레벨인 경우 해당 오프칩 드라이버에 연결된 출력 드라이버가 구동되도록 구성할 수 있다.
- <25> 이하, 첨부한 도면들을 참조하여 본 발명의 바람직한 일실시예들을 상세히 설명한다. 그러나, 본 발명은 이하에서 개시되는 실시예에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 수 있으며, 단지 본 실시예는 본 발명의 개시가 완전하도록 하며 통상의 지식을 가진자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이다.
- <26> 도 2는 본 발명의 바람직한 실시예에 따른 오프칩 드라이버 회로를 포함한 데이터 출력 회로의 개략적인 블록도이다. 도 2의 데이터 출력 회로(1)는 제 1 내지 N 지연회로들(100b; 110-1 내지 110-N) 및 제 1 내지 N 오프칩 드라이버들(100a; 100-1 내지 100-N)을 구비하는 오프칩 드라이버 회로(100)와, 프리 드라이버 회로(200)와, 오프칩 드라이버 회로(100)와 프리 드라이버 회로(200)의 출력 신호에 연결되는 출력 드라이버 회로(300)를 포함하여 구성된다. N은 2이상의 자연수이다.
- <27> 오프칩 드라이버 회로(100)는 제 1 내지 N 오프칩 드라이버들(100-1 내지 100-N)을 구비하며, 각 오프칩 드라이버는 데이터 신호(DATA)와 해당 제어신호를 입력 받아, 해당 제어신호에 따라서 출력 여부를 결정한다. 제어신호는 공정 진행 후 웨이퍼 상태를 점검하여 이를 바탕으로 각 오프칩 드라이버의 ON/OFF 여부를 결정하고 이에 따라 제 1 내지 N 제어신호를 구성한다. 예를 들어, 하나의 오프칩 드라이버는 10%의 구동능력을 가지도록 하고, 프리 드라이버

회로(200)가 60% 구동능력을 가지도록 구성하였다면, 오프칩 드라이버를 8개로 구성하여 전체 구동능력을 60% 내지 140%로 10% 간격으로 가변가능하다. 예컨대, 전체 80%의 구동능력을 가지도록 하고자 하는 경우이면, 프리 드라이버 회로(200)의 60% 구동능력에 추가로 20%의 구동능력이 필요하게 되므로, 오프칩 드라이버 회로(100)를 구성하는 8개의 오프칩 드라이버들 중 2개의 오프칩 드라이버들을 ON 된다.

<28> 따라서, 시스템의 메모리 칩에 대한 임피던스 매칭관점에서 캘리브레이션 (calibration) 하여 오프칩 드라이버들(100-1 내지 100-N) 각각의ON/OFF 여부를 결정함으로써 오프칩 드라이버들(100-1 내지 100-N)에 의해 구동되는 출력 드라이버 회로(300)의 구동능력(drivability)을 결정한다. 각 오프칩 드라이버의 ON/OFF 여부는 해당되는 제어신호에 의해 제어 가능하고, 웨이퍼 상태를 점검하여 이를 바탕으로 각 오프칩 드라이버의 ON/OFF 여부를 결정하고 이에 따라 제 1 내지 N 제어신호를 구성가능하다. 제 1 내지 N 제어신호는칩셋(미도시)으로부터 입력 될 수 있다.

<29> 또한, 오프칩 드라이버 회로(100)의 제 1 내지 N 오프칩 드라이버들(100-1 내지 100-N) 중 적어도 하나의 오프칩 드라이버의 출력 신호는 다른 오프칩 드라이버(들)의 출력 신호에 비하여 소정의 지연 시간을 갖는 신호를 출력하는 지연 회로를 구비한다. 예를 들어 2개의 오프칩 드라이버들로 구성된 경우, 오프칩 드라이버로부터 출력되는 2개의 출력신호 사이에는 지연 시간을 가질 수 있도록 한다.

<30> 오프칩 드라이버 각각에 연결 가능한 지연 회로는오프칩 드라이버의 입력단에 부가하여 데이터 신호(DATA)를 지연시키도록 구성할 수도 있고, 오프칩 드라이버의 출력단에 부가하여, 오프칩 드라이버로 부터 출력되는 출력 신호를 지연시키도록 구성할 수도 있다.

- <31> 프리 드라이버 회로(200)는 데이터 신호(DATA)를 입력 받아 그 신호의 논리 상태에 따라 풀업(pull up) 또는 풀다운(pull down) 기능을 수행한다. 한편, 프리 드라이버 회로(200)는 출력 드라이버 회로(300) 중에서 대응되는 출력 드라이버에 연결되어, 이 출력 드라이버를 구동시킨다.
- <32> 출력 드라이버 회로(300)는 오프칩 드라이버 회로(100)의 오프칩 드라이버들 각각에 대응하는 출력 드라이버들을 포함하여 구성가능하며, 특정 오프칩 드라이버의 제어신호가 인에이블 레벨(예를 들어, 논리 하이)인 경우 해당 오프칩 드라이버에 연결된 출력 드라이버는 구동시킨다.
- <33> 이하, 오프칩 드라이버 회로, 프리 드라이버 회로 및 출력 드라이버 회로의 상세구성에 대해 설명한다. 도 3은 본 발명의 일실시예에 따른 데이터 출력회로에 있어, 논리 하이 데이터 신호가 인가되는 경우 동작하는 오프칩 드라이버 회로의 구성예이고, 도4는 본 발명의 일실시예에 따른 데이터 출력회로에 있어, 논리 로우 데이터 신호가 인가되는 경우 동작하는 오프칩 드라이버 회로의 구성예이다.
- <34> 도 3을 참조하면, 오프칩 드라이버 회로(100)의 각 오프칩 드라이버들(100-1 내지 100-N)은 제어신호들(제 1 내지 N 제어신호)을 입력 받아 2번 반전된 신호를 출력하는 2개의 인버터들(INV11 및 INV12 내지 INVN1 및 INVN2) 및 상기 2번 반전된 신호와 데이터 신호(DATA)를 입력받아 NAND연산을 수행하는 NAND소자들(NAND11 내지 NANDN1)을 포함하여 구성된다. 예를 들어, 해당 오프칩 드라이버를 ON시키기 위해서는 해당 제어 신호를 논리 하이로 하고, OFF시키기 위해서는 해당 제어신호를 논리 로우로 입력시킬 수 있다. 동작을 살펴보면, 데이터

신호(DATA)가 논리 하이로 입력될 때, 각 오프칩 드라이버들(100-1 내지 100-N)의 한 단자에는 모두 동일한 논리 하이로 입력되고, 따라서, 다른 단자에 입력되는 제어신호가 논리 하이로 입력되면 NAND소자를 통해 출력되는 신호는 논리 로우가 되고, 다른 단자에 입력되는 제어신호가 논리 로우로 입력되면 NAND소자를 통해 출력되는 신호는 논리 하이가 된다. 이 출력 신호들(OUT1 내지 OUTN)은 출력 드라이버 회로(300)에 입력되어 이를 구동시킨다. 도면부호 300a의 출력 드라이버 회로는 프리 드라이버 회로(200)와 연결된 출력 드라이버 회로의 부분은 도시를 생략하고, 오프칩 드라이버와 접속된 출력드라이버 회로(300)의 부분만을 도시하고 있다. 출력 신호가 논리 로우인 경우는 이에 접속된 출력드라이버 회로의 PMOS 트랜지스터를 구동시킨다.

<35> 도 3의 오프칩 드라이버들(100-1 내지 100-N)의 각 입력단에 모두 지연 회로(110-1 내지 110-N)를 부가하여 오프칩 드라이버에 전달되는 입력 신호(DATA)들 중 적어도 어느 2개가 서로 다른 지연시간을 갖도록 한다. 예를 들어 지연시간은 50 내지 300ps로 구성가능하다. 다른 변형으로, 본 지연 회로(110-1 내지 110-N)는 각 오프칩 드라이버의 출력단(OUT1 내지 OUTN)에 부가될 수도 있다.

<36> 도 4을 참조하면, 오프칩 드라이버 회로(200)의 각 오프칩 드라이버들(100-1 내지 100-N)은 제어신호들(제 1 내지 N 제어신호)을 입력 받아 반전된 신호를 출력하는 인버터들(INV11 내지 INVN1) 및 반전된 신호와 데이터 신호(DATA)를 입력받아 NOR 연산을 수행하는 NOR 소자들(NOR11 내지 NORN1)을 포함하여 구성된다. 해당 오프칩 드라이버를 ON시키기 위해서는 해당 제어 신호를 논리 하이로 할 수 있고, OFF시키기 위해서는 해당 제어신호를 논리 로우로 입력시킬 수 있다. 동작을 살펴보면, 데이터 신호(DATA)가 논리 로우로 입력되는 경우 각 오프칩 드라이버들(100-1 내지 100-N)의 한 단자는 모두 데이터 신호(DATA)인 논리 로우로 입력

되고, 다른 단자에 입력되는 제어신호가 논리 하이로 입력되는 경우 해당 NOR소자를 통해 출력되는 신호는 논리 하이가 되고, 다른 단자에 입력되는 제어신호가 논리 로우로 입력되는 경우 NAND소자를 통해 출력되는 신호는 논리 하이가 된다. 이 출력 신호들(OUT1 내지 OUTN)은 출력 드라이버 회로(300)에 입력되어 이를 구동시킨다. 도면부호 300의 출력 드라이버 회로의 구성에는 프리 드라이버 회로와 연결된 출력 드라이버 회로의 부분은 도시를 생략하고, 오프칩 드라이버와 접속된 출력 드라이버 회로(300)의 부분만을 도시하고 있다. 출력 신호가 논리 하이가 되면 접속된 출력 드라이버 회로의 NMOS 트랜지스터를 구동시킨다.

<37> 상술한 오프칩 드라이버 회로를 실제 적용함에 있어서는, 논리 하이인 데이터 신호가 인가되는 경우는 도 3의 오프칩 드라이버 회로와 출력 드라이버 회로가 동작하도록 하고, 논리 로우인 데이터 신호가 인가되는 경우는 도 4의 오프칩 드라이버 회로 및 출력 드라이버 회로가 동작하도록 구성할 수 있다. 또한, 논리 하이인 데이터 신호가 인가되는 경우 또는 논리 로우인 데이터 신호가 인가되는 경우 만 출력 신호를 지연시키도록 할 수 있다.

<38> 도 5는 상기 지연 회로의 구성예이다. 도 5의 지연 회로들은 R11, R12, R21 및 R22 등의 저항을 조절하여 각 지연 회로를통하여 출력된 신호를 다른 지연 시간을 갖도록 구성할 수 있다. 다른 지연 회로로는 2개의 인버터를 직렬로 연결하여 구성가능하다. 예를 들어 각 오프칩 드라이버에 직렬 연결된 인버터의 개수를 2, 4, 6 등 짝수로 하여 각 오프칩드라이버가 서로 다른 지연시간을 가지도록 한다.

<39> 도 6은 본 발명의 일실시예에 따른 데이터 출력회로에서 프리 드라이버 회로(200)의 구성예이다. 프리 드라이버 회로(200)는 논리 상태에 따라 풀업(pull up) 또는 풀다운(pull down) 기능을 수행할 수 있도록 풀업부(200a)와 풀다운부(200b)로 구성된다. 풀업부(200a)는 제 1 내지 N PMOS(1P 내지 NP)로 구성되고, 풀다운부(200b) 제 1 내지 N NMOS(1N 내지 NN)로

구성된다. 따라서, 데이터 입력 신호(DATA)가 논리 하이이면 풀다운부(200b)에 의해 출력이 논리 로우로 되고, 데이터 입력 신호(DATA)가 논리 로우이면 풀업부(200a)에 의해 출력이 논리 하이로 된다. 도 6에서는 프리 드라이버 회로(200)가 1개의 프리 드라이버(1개의 풀업부와 1개의 풀다운부를 가짐)로 된 경우를 도시하고 있지만, 2개 이상의 프리 드라이버들을 갖도록 프리 드라이버 회로(200)를 구성하는 것도 가능하다. 이 경우는 각 프리드라이버의 사이즈(size)를 달리 하여 구성하는 것도 가능함은 물론이다.

<40> 이하, 도 2, 도 7 및 도 8을 참조하여 본 발명의 일실시예에 따른 오프칩 드라이버 회로의 동작을 상세히 설명한다.

<41> 먼저, 논리 하이 또는 논리 로우를 갖는 데이터 신호(DATA)가 오프칩 드라이버 회로(100)와 프리 드라이버 회로(200)로 입력 된다. 프리 드라이버 회로(200)로 입력된 데이터 신호(DATA)는 출력 드라이버 회로(300)를 구동하고, 오프칩 드라이버 회로(100)에 전달된 데이터 신호(DATA)는 각각의 오프칩 드라이버에 부가된 지연 회로에 따라 다른 지연 시간을 갖도록 하며, 이 지연 시간은 출력 드라이버 회로(300)의 구동소자(예를 들어, MOS소자)의 ON되는 시간이 소정의 시간차를 가질 수 있도록 한다. 도 7은 오프칩 드라이버로부터 출력되는 신호(OUT1 내지 OUTN)가 서로 소정의 지연시간($\Delta 1$, $\Delta 2 \dots$)을 가지고 변화되는 상황을 도시한 개념도이다.

<42> 도 8은 본 발명의 실시예에 따른 오프칩 드라이버를 적용한 경우, 출력 드라이버 회로(300)를 통해서 출력되는 신호의 파형과 종래 기술에 의한 파형을 비교하여 도시한 그래프이다. 종래 기술에 의한 출력 파형은 과도한 슬류(slew), 로 인해서 원하는 오브슈터(V)가 발생하고 있는 반면, 본 발명에 의한 출력 파형은 오브슈터가 거의 발생하지 않는다. 또한, 출력 신호가 적절한 슬류를 가질 수 있도록 조절가능하다.

<43> 상기에서 설명한 본 발명의 기술적 사상은 바람직한 실시예에서 구체적으로 기술되었으나, 상기한 실시예는 그 설명을 위한 것이며 그 제한을 위한 것이 아님을 주의하여야 한다. 또한, 본 발명은 본 발명의 기술 분야의 통상의 전문가라면 본 발명의 기술적 사상의 범위 내에서 다양한 실시예가 가능함을 이해할 수 있을 것이다.

【발명의 효과】

<44> 상술한 바와 같이, 본 발명에 의하면, 출력 신호가 적절한 슬류를 가질 수 있는 데이터 출력 회로를 구성할 수 있다. 특히, 초고속 동작을 구현하기 위한 반도체 메모리, 예컨대 DDR, 등의 제품에서 출력 파형의 슬류를 조절할 수 있게 되어 시스템 인터페이스의 특성을 향상시킬 수 있는 효과가 있다.

【특허청구범위】**【청구항 1】**

데이터 신호 및 제 1 내지 N 제어신호를 각각 입력 받아, 해당 제어신호에 따라서 출력 여부를 결정하는 제 1 내지 N 오프칩 드라이버들을 구비하는 오프칩 드라이버 회로에 있어서,

상기 제 1 내지 N 오프칩 드라이버들 중 적어도 1개의 오프칩 드라이버는, 다른 오프칩 드라이버(들)의 출력 신호에 비하여 소정의 지연 시간을 갖는 신호를 출력할 수 있도록 하는 지연 회로(들)를 구비하는 것을 특징으로 하는 오프칩 드라이버 회로.

【청구항 2】

제 1 항에 있어서,

상기 지연 회로는 상기 오프칩드라이버의 입력단에 부가되어, 상기 데이터 신호를 지연시키는 것을 특징으로 하는 오프칩 드라이버 회로.

【청구항 3】

제 1 항에 있어서,

상기 지연 회로는 상기 오프칩드라이버의 출력단에 부가되어, 상기 출력 신호를 지연시키는 것을 특징으로 하는 오프칩 드라이버 회로.

【청구항 4】

제 1 항에 있어서,

상기 오프칩 드라이버 각각은 상기 입력되는 데이터 신호의 논리 상태가 논리 하이인 경우 해당 제어신호와 상기 데이터 신호를 NAND연산하고, 논리 상태가 논리 로우인 경우 해당 제

어신호의 반전 신호와 상기 데이터 신호를 NOR연산하는 것을 특징으로 하는 오프칩 드라이버 회로.

【청구항 5】

제 4 항에 있어서,

상기 출력 드라이버 회로는 상기 오프칩 드라이버들 각각에 대응하는 출력 드라이버들을 포함하여 구성되되, 특정 오프칩 드라이버의 제어신호가 인에이블 레벨인 경우이에 대응되는 오프칩 드라이버에 연결된 출력 드라이버가 구동되는 것을 특징으로 하는 오프칩 드라이버 회로.

【청구항 6】

데이터 신호와 제 1 내지 N 제어신호를 각각 입력 받아, 해당 제어신호에 따라서 출력 여부를 결정하는 제 1 내지 N 오프칩 드라이버들을 구비하는 오프칩 드라이버 회로

상기 데이터 신호를 입력 받아출력 드라이버 회로를 구동시키기 위한 프리 드라이버 회로 및

상기 오프칩 드라이버 회로와 상기 프리 드라이버 회로의 출력에 연결되는 출력 드라이버 회로를 포함하여 구성되되,

상기 제 1 내지 N의 오프칩 드라이버들 중 적어도 1개의 오프칩 드라이버는 다른 오프칩 드라이버(들)의 출력 신호에 비하여 소정의 지연 시간을 갖는 신호를 출력할 수 있도록 지연 회로(들)를 구비하는 것을 특징으로 하는 데이터 출력 회로.

【청구항 7】

제 6 항에 있어서,

상기 프리 드라이버 회로는 상기 데이터 신호를 입력 받아 그 신호의 논리 상태에 따라 풀업 또는 풀다운하는 것을 특징으로 하는 데이터 출력 회로.

【청구항 8】

제 6 항에 있어서,

상기 오프칩 드라이버 각각은 상기 입력되는 데이터 신호의 논리 레벨이 논리 하이인 경우 해당 제어신호와 상기 데이터 신호를 NAND하고, 논리 레벨이 논리 로우인 경우 해당 제어신호의 반전신호와 상기 데이터 신호를 NOR하는 것을 특징으로 하는 데이터출력 회로.

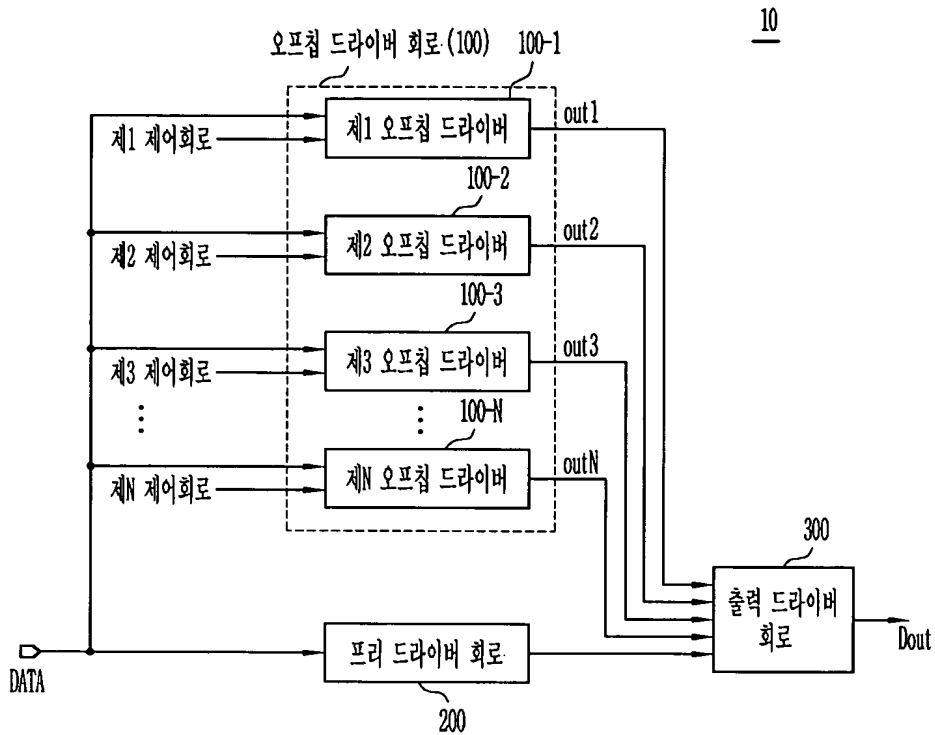
【청구항 9】

제 8 항에 있어서,

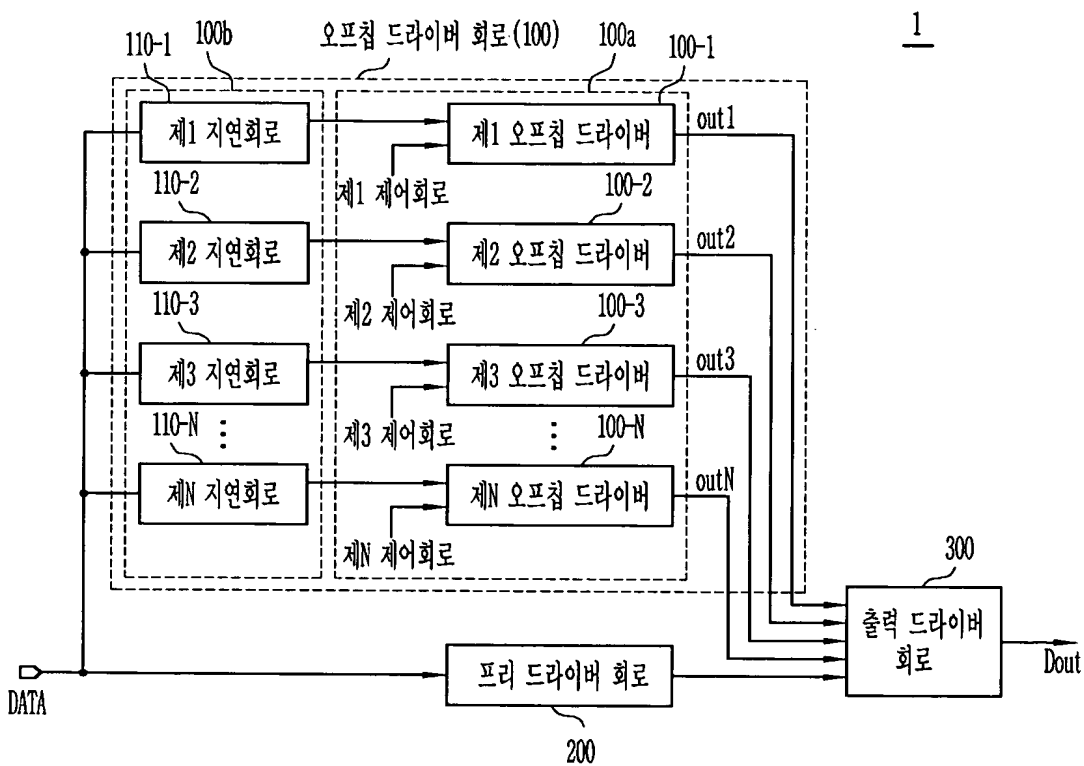
상기 출력드라이버 회로는 상기 오프칩 드라이버들 각각과 상기 프리 드라이버 회로에 대응하는 출력 드라이버들을 포함하여 구성되되, 특정 오프칩 드라이버의 제어신호가 인에이블 레벨인 경우 해당 오프칩 드라이버에 연결된 출력 드라이버가 구동되는 것을 특징으로 하는 데이터 출력 회로.

【도면】

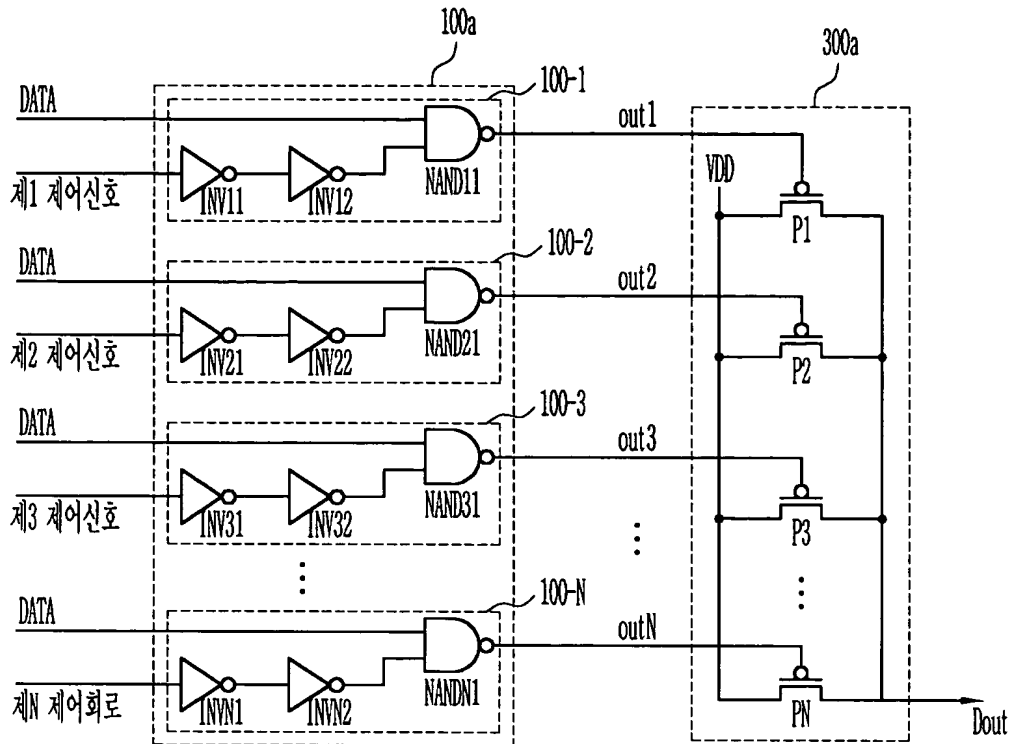
【도 1】



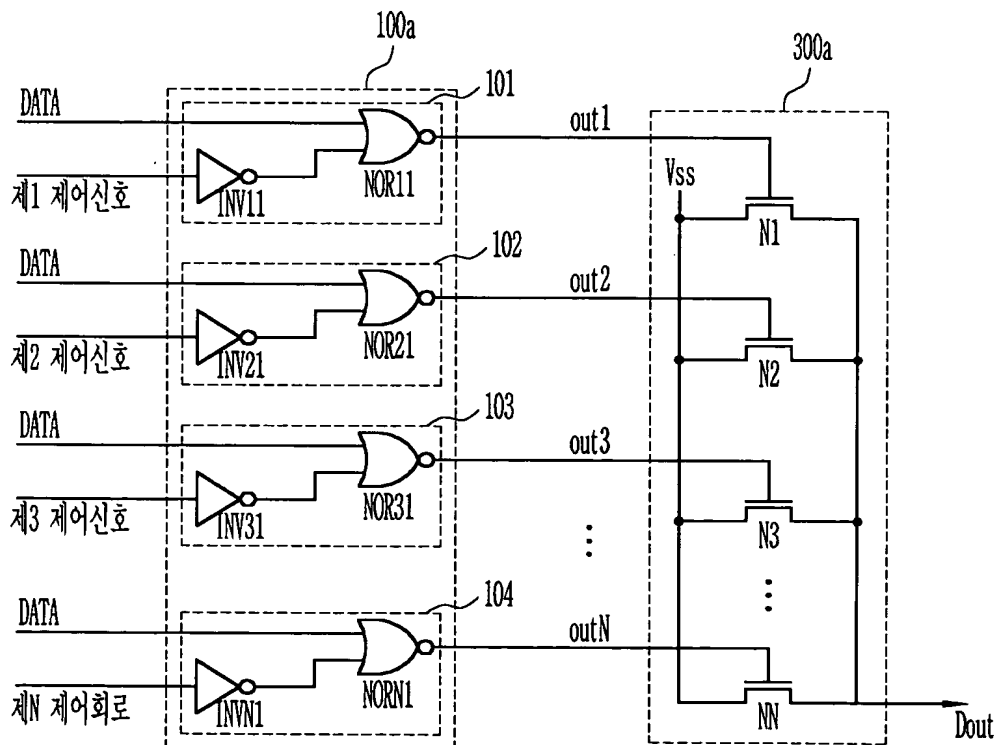
【도 2】



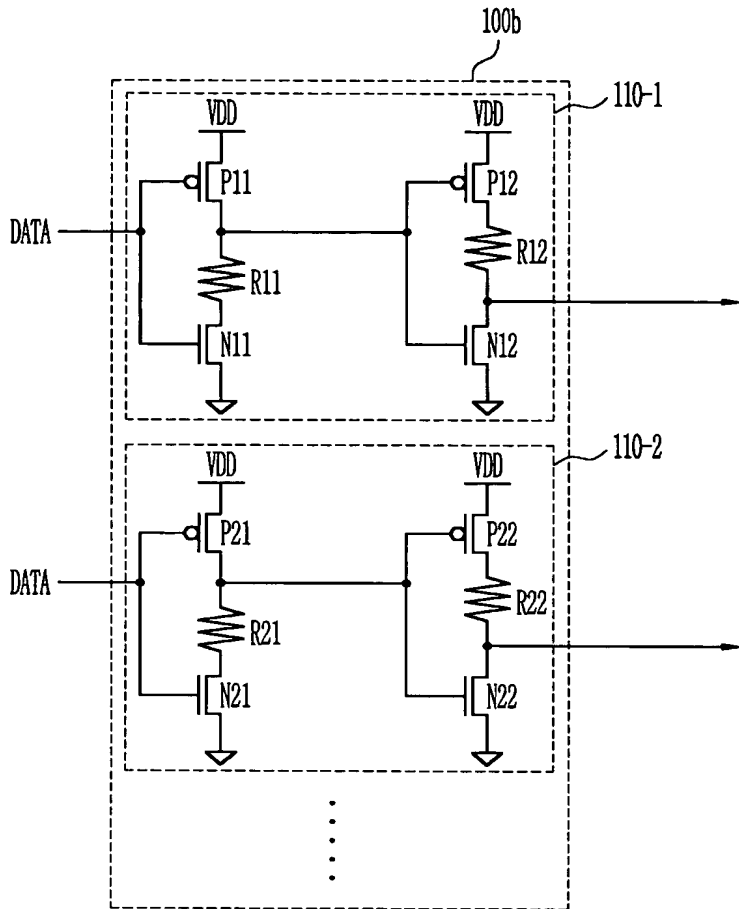
【도 3】



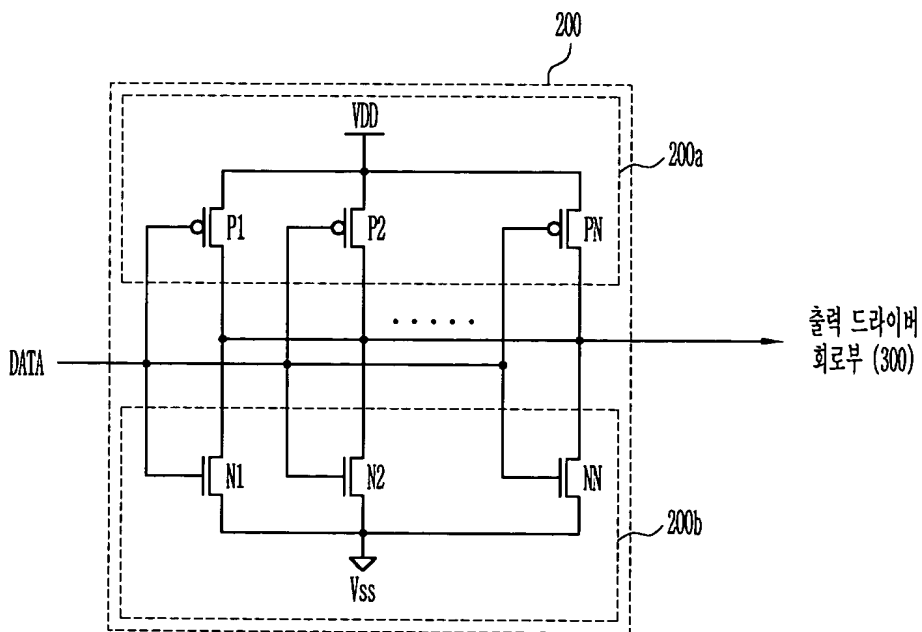
【도 4】



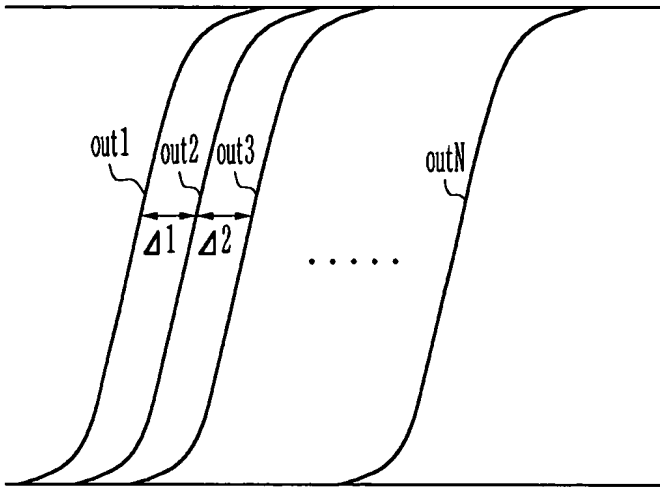
【도 5】



【도 6】



【도 7】



【도 8】

